

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-107623

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

H03L 7/085

G11B 20/14

H03L 7/06

(21)Application number : 08-260666

(71)Applicant : SONY CORP

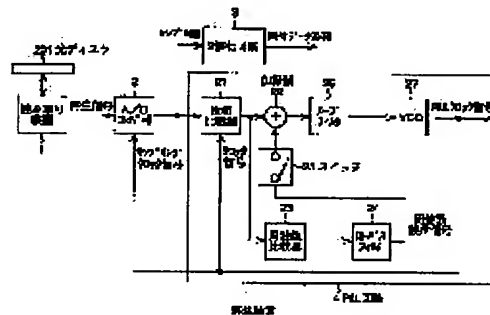
(22)Date of filing : 01.10.1996

(72)Inventor : FUJIMOTO KENSUKE

(54) CONVERTER AND METHOD, AND PLL ARITHMETIC UNIT AND METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a digital PLL(phase-locked loop) circuit utilizing a frequency error.
SOLUTION: An A/D converter 2 samples a reproduction signal from a reader 1 synchronously with a clock signal from a PLL circuit 4 and the sampled value is outputted to a binarization circuit 3 and a phase comparator 21. The phase comparator 21 detects a change of the sampled value from a positive to a negative or vice versa (zero cross), and a phase error signal corresponding to the zero cross is outputted to a frequency comparator 23. The frequency comparator 23 provides an output of a frequency error detected by the change in the signal to a switch 25 via a low pass filter 24. The switch 25 provides an output of the frequency error to an adder 22 only when synchronization is locked. The adder 22 provides an output of a sum of the frequency error and the phase error to a VCO 27 via a loop filter 26. The VCO 27 oscillates a clock signal with a frequency corresponding to the value and gives it to the A/D converter 2 or the like.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-107623

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl. ⁶	識別記号	F I
H 0 3 L 7/085		H 0 3 L 7/08 A
G 1 1 B 20/14	3 5 1	G 1 1 B 20/14 3 5 1 A
H 0 3 L 7/06		H 0 3 L 7/06 B

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願平8-260666

(22) 出願日 平成8年(1996)10月1日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 藤本 健介

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

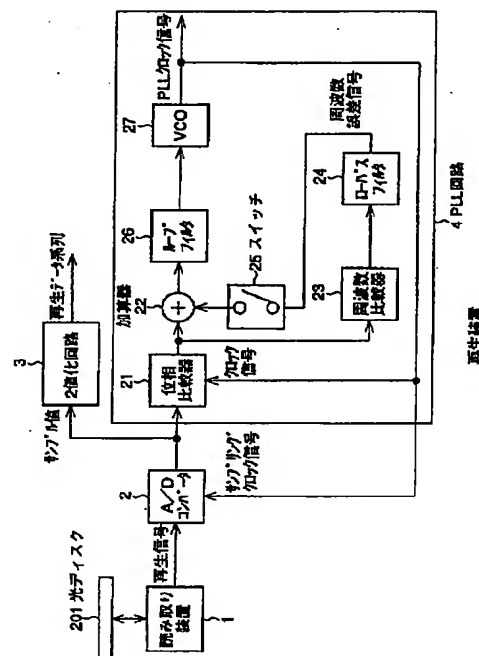
(74) 代理人 弁理士 稲本 義雄

(54) 【発明の名称】 変換装置および方法、並びに、PLL演算装置および方法

(57) 【要約】

【課題】 周波数誤差を利用したデジタルPLL回路を実現する。

【解決手段】 A/Dコンバータ2は、読み取り装置1からの再生信号を、PLL回路4からのクロック信号に同期してサンプリングし、そのサンプル値を2値化回路3および位相比較器21に出力する。位相比較器21は、サンプル値の、正から負、あるいは、負から正への変化（ゼロクロス）を検出し、ゼロクロスに対応する位相誤差信号を周波数比較器23に出力する。周波数比較器23は、その信号の値の変化より検出した周波数誤差を、ローパスフィルタ24を介してスイッチ25に出力する。スイッチ25は、同期引き込み時だけ周波数誤差を加算器22に出力する。加算器22は、周波数誤差と位相誤差の和を、ループフィルタ26を介してVCO27に出力する。VCO27は、その値に対応する周波数のクロック信号を発振し、A/Dコンバータ2などに供給する。



【特許請求の範囲】

【請求項1】 所定の伝送媒体より伝送されたアナログ信号を、デジタルデータに変換する変換装置において、クロック信号に同期して、前記アナログ信号をサンプリングし、前記アナログ信号に対応するデジタル信号を出力するサンプリング手段と、

前記サンプリング手段により出力されたデジタル信号とクロック信号の位相誤差を演算する第1の演算手段と、前記位相誤差より、前記デジタル信号とクロック信号との周波数誤差を演算する第2の演算手段と、

前記位相誤差と周波数誤差の和に対応して、前記クロック信号を発生する発生手段と、

前記デジタル信号を処理して前記デジタルデータを生成する処理手段とを備えることを特徴とする変換装置。

【請求項2】 前記第2の演算手段は、時間軸における前記位相誤差の傾きの方向から前記周波数誤差の符号を演算し、前記位相誤差の値が所定の値を通過する回数に対応して前記周波数誤差の大きさを演算することを特徴とする請求項1に記載の変換装置。

【請求項3】 前記発生手段は、同期引き込み時においては、前記位相誤差と周波数誤差の和に対応して前記クロック信号を発生し、同期ロック時においては、前記位相誤差に対応して前記クロック信号を発生することを特徴とする請求項1に記載の変換装置。

【請求項4】 前記アナログ信号は、記録媒体から検出されたアナログ信号であることを特徴とする請求項1に記載の変換装置。

【請求項5】 所定の伝送媒体より伝送されたアナログ信号を、デジタルデータに変換する変換方法において、クロック信号に同期して、前記アナログ信号をサンプリングし、前記アナログ信号に対応するデジタル信号を出力するステップと、

前記デジタル信号とクロック信号の位相誤差を演算するステップと、

前記位相誤差より、前記デジタル信号とクロック信号との周波数誤差を演算するステップと、

前記位相誤差と周波数誤差の和に対応して、前記クロック信号を発生するステップと、

前記デジタル信号を処理して前記デジタルデータを生成するステップとを備えることを特徴とする変換方法。

【請求項6】 クロック信号に同期して、アナログ信号をサンプリングし、前記アナログ信号に対応するデジタル信号を出力するサンプリング手段と、

前記サンプリング手段により出力されたデジタル信号とクロック信号の位相誤差を演算する第1の演算手段と、

前記位相誤差より、前記デジタル信号とクロック信号との周波数誤差を演算する第2の演算手段と、

前記位相誤差と周波数誤差の和に対応して、前記クロック信号を発生する発生手段とを備えることを特徴とするPLL演算装置。

【請求項7】 前記第2の演算手段は、時間軸における前記位相誤差の傾きの方向から前記周波数誤差の符号を演算し、前記位相誤差の値が所定の値を通過する回数に対応して前記周波数誤差の大きさを演算することを特徴とする請求項6に記載のPLL演算装置。

【請求項8】 前記発生手段は、同期引き込み時においては、前記位相誤差と周波数誤差の和に対応して前記クロック信号を発生し、同期ロック時においては、前記位相誤差に対応して前記クロック信号を発生することを特徴とする請求項6に記載のPLL演算装置。

【請求項9】 クロック信号に同期して、前記アナログ信号をサンプリングし、前記アナログ信号に対応するデジタル信号を出力するステップと、

前記デジタル信号とクロック信号の位相誤差を演算するステップと、

前記位相誤差より、前記デジタル信号とクロック信号との周波数誤差を演算するステップと、

前記位相誤差と周波数誤差の和に対応して、前記クロック信号を発生するステップとを備えることを特徴とするPLL演算方法。

【発明の詳細な説明】
【0001】

【発明の属する技術分野】本発明は、変換装置および方法、並びに、PLL演算装置および方法に関し、特に、クロック信号に同期して、アナログ信号をサンプリングし、そのアナログ信号に対応するデジタル信号を生成し、そのデジタル信号とクロック信号の位相誤差を演算するとともに、位相誤差より、デジタル信号とクロック信号との周波数誤差を演算し、位相誤差と周波数誤差の和に対応してクロック信号を発生することにより、キャプチャレンジを拡大し、引き込み時間を短縮する変換装置および方法、並びに、PLL演算装置および方法に関する。

【0002】

【従来の技術】コンパクトディスクなどに代表されるデジタルデータを保持する記録媒体が広く普及している。

【0003】このような記録媒体である光ディスク、光磁気ディスクなどに記録されているデジタルデータを再生する場合、ディスクから検出した信号よりクロック信号を抽出し、そのクロック信号に同期して、検出した信号からデジタルデータを再生する自己同期を利用することが多い。

【0004】また、デジタルデータ通信に利用される受信器においても、受信信号からクロック信号を抽出し、自己同期を利用するものがある。

【0005】このような自己同期においては、検出した信号からPLL(Phase Locked Loop)回路でクロック信号を抽出する。

【0006】図9は、アナログ方式のPLL回路を有する再生装置の一構成例を示している。

10

20

30

40

50

【0007】読み取り装置121は、コンパクトディスクなどの光ディスク201にレーザ光を照射し、光ディスク201で反射したレーザ光（戻り光）を受光し、受光した戻り光の光量に対応する電気信号（再生信号）を波形整形器122に出力するようになされている。

【0008】波形整形器122は、読み取り装置121より供給された再生信号を2値化し、2値化した信号を、再生信号としてラッチ回路123およびアナログPLL回路124に出力するようになされている。

【0009】アナログPLL回路124は、波形整形器122より供給された再生信号からクロック信号を抽出し、その信号をラッチ回路123に出力するようになされている。この再生信号においては、所定のビット間隔Tの整数倍の間隔（光ディスク201に記録されているデータに対応する）で、即ち、周期Tのチャネルクロックに対応して、その値（0または1）が変化する。従って、アナログPLL回路124は、この間隔から、ビット間隔Tを抽出し、このビット間隔Tに対応した周期のクロック信号を発生する。

【0010】このアナログPLL回路124においては、位相比較器141は、波形整形器122より供給された再生信号と、電圧制御発振器（VCO）143により発振されたクロック信号（PLLクロック信号）との位相誤差を算出し、その位相誤差をループフィルタ142に出力し、ループフィルタ142は、位相比較器141より供給された位相誤差の不要な周波数帯域の成分（高周波成分）を除去した後、処理された位相誤差をVCO143に出力する。

【0011】VCO143は、ループフィルタ142より供給された信号の電圧値に応じて、波形整形器122より供給された再生信号に対する位相誤差がなくなるように、発振周波数を調整しながらクロック信号を発振し、そのクロック信号を位相比較器141およびラッチ回路123に出力する。

【0012】このようにして、アナログPLL回路124は、再生信号に同期したクロック信号を生成する。

【0013】ラッチ回路123は、アナログPLL回路124より供給されたクロック信号に同期して、波形整形器122より供給された再生信号を、後段の再生回路（図示せず）に出力するようになされている。

【0014】アナログ回路である上述のPLL回路124は、環境変化、経時変化、部品のばらつきなどの影響を受けやすいという問題を有している。また、アナログ回路であるため、高集積化が困難であるという問題を有している。

【0015】そこで、そのような問題を解決する、デジタル化されたPLL回路が開発されている。

【0016】図10は、デジタルPLL回路の一構成例を示している。

【0017】デジタルPLL回路では、デジタル化され

た位相比較器161およびループフィルタ162が利用されるとともに、VCOの代わりに、可変周波数発振器（VFO）163が利用される。このVFO163は、ループフィルタ162を介して供給された位相誤差（デジタル値）に応じて、所定の周波数の発振信号に対して、パルスの付加または除去を行うことにより周波数を調整する。あるいは、VFO163は、ループフィルタ162を介して供給された位相誤差に応じて、発振周波数の異なる2つの内蔵する発振器を切り換えて使用し、発振周波数を調整する。

【0018】位相誤差に応じて滑らかに発振周波数を調整する場合、VFO163は、出力する信号の周波数に対して数倍の周波数の信号を、位相誤差に応じて発振周波数の調整を行いながら出力し、分周器164が、その信号を分周した後、出力信号（クロック信号）を位相比較器161に供給するとともに、後段の回路（図示せず）に出力している。

【0019】しかしながら、データの処理速度が速い装置や高転送速度を有する装置においては、クロック信号の周波数が高く、そのクロック信号の周波数のさらに数倍の周波数の信号を発振するVFOを実現することは困難であり、実現した場合においても、コストが高いという問題を有している。

【0020】そこで、本出願人は、先に、図11に示すように、第1のクロック信号に同期して、再生信号の位相誤差に応じてクロック周波数を調整しながら第2のクロック信号を生成し、再生信号を第1のクロック信号に同期してサンプリングして生成されたサンプル値（第1のデジタル値）から、第2のクロック信号の所定の位相における補間値を算出するようにして、比較的低いクロック周波数で動作する装置を、例えば特願平8-184428号に開示した。

【0021】一方、PLLにおいて、引き込み可能な周波数範囲（キャプチャレンジ）を広くし、引き込みが終了するまでの時間（引き込み時間）を短くするために、周波数誤差を利用する方法が、例えば、「周波数検出器を用いた新方式高速引き込みPLL」（白濱 弘幸、谷口 研二、中司 健一著、電子情報通信学会論文誌C-I I Vol. J76-C-II No.10 pp.679-687）に記載されている。

【0022】この方法においては、PLLにおけるVCOの出力と、入力信号の周波数誤差を検出し、引き込み時に、その周波数誤差と、位相比較器により検出された位相誤差をVCOに入力して、キャプチャレンジを広くするとともに、引き込み時間を短縮するようにしている。

【0023】

【発明が解決しようとする課題】しかしながら、上述の周波数誤差を利用した方法は、アナログPLL回路に適用されたもので、上述のデジタル信号を取り扱うデジ

ルPLL回路に、そのまま適用することが困難であるという問題を有している。

【0024】本発明は、このような状況に鑑みてなされたもので、クロック信号に同期して、入力信号をサンプリングし、サンプリングしたデジタル信号とクロック信号の位相誤差を演算するとともに、デジタル信号とクロック信号との周波数誤差を演算し、位相誤差と周波数誤差の和に対応して、クロック信号を発生するようにして、周波数誤差を利用したキャプチャレンジが広く、かつ、引き込み時間が短いデジタルPLL回路を実現するものである。

【0025】

【課題を解決するための手段】請求項1に記載の変換装置は、クロック信号に同期して、アナログ信号をサンプリングし、アナログ信号に対応するデジタル信号を出力するサンプリング手段と、サンプリング手段により出力されたデジタル信号とクロック信号の位相誤差を演算する第1の演算手段と、位相誤差より、デジタル信号とクロック信号との周波数誤差を演算する第2の演算手段と、位相誤差と周波数誤差の和に対応して、クロック信号を発生する発生手段と、デジタル信号を処理してデジタルデータを生成する処理手段とを備えることを特徴とする。

【0026】請求項5に記載の変換方法は、クロック信号に同期して、アナログ信号をサンプリングし、アナログ信号に対応するデジタル信号を出力するステップと、デジタル信号とクロック信号の位相誤差を演算するステップと、位相誤差より、デジタル信号とクロック信号との周波数誤差を演算するステップと、位相誤差と周波数誤差の和に対応して、クロック信号を発生するステップと、デジタル信号を処理してデジタルデータを生成するステップとを備えることを特徴とする。

【0027】請求項6に記載のPLL演算装置は、クロック信号に同期して、アナログ信号をサンプリングし、アナログ信号に対応するデジタル信号を出力するサンプリング手段と、サンプリング手段により出力されたデジタル信号とクロック信号の位相誤差を演算する第1の演算手段と、位相誤差より、デジタル信号とクロック信号との周波数誤差を演算する第2の演算手段と、位相誤差と周波数誤差の和に対応して、クロック信号を発生する発生手段とを備えることを特徴とする。

【0028】請求項9に記載のPLL演算方法は、クロック信号に同期して、アナログ信号をサンプリングし、アナログ信号に対応するデジタル信号を出力するステップと、デジタル信号とクロック信号の位相誤差を演算するステップと、位相誤差より、デジタル信号とクロック信号との周波数誤差を演算するステップと、位相誤差と周波数誤差の和に対応して、クロック信号を発生するステップとを備えることを特徴とする。

【0029】請求項1に記載の変換装置においては、サ

ンプリング手段は、クロック信号に同期して、アナログ信号をサンプリングし、アナログ信号に対応するデジタル信号を出力し、第1の演算手段は、サンプリング手段により出力されたデジタル信号とクロック信号の位相誤差を演算し、第2の演算手段は、位相誤差より、デジタル信号とクロック信号との周波数誤差を演算し、発生手段は、位相誤差と周波数誤差の和に対応して、クロック信号を発生し、処理手段は、デジタル信号を処理してデジタルデータを生成する。

10 【0030】請求項5に記載の変換方法においては、クロック信号に同期して、アナログ信号をサンプリングし、アナログ信号に対応するデジタル信号を出力し、デジタル信号とクロック信号の位相誤差を演算し、位相誤差より、デジタル信号とクロック信号との周波数誤差を演算し、位相誤差と周波数誤差の和に対応して、クロック信号を発生し、デジタル信号を処理してデジタルデータを生成する。

20 【0031】請求項6に記載のPLL演算装置においては、サンプリング手段は、クロック信号に同期して、アナログ信号をサンプリングし、アナログ信号に対応するデジタル信号を出力し、第1の演算手段は、サンプリング手段により出力されたデジタル信号とクロック信号の位相誤差を演算し、第2の演算手段は、位相誤差より、デジタル信号とクロック信号との周波数誤差を演算し、発生手段は、位相誤差と周波数誤差の和に対応して、クロック信号を発生する。

30 【0032】請求項9に記載のPLL演算方法においては、クロック信号に同期して、アナログ信号をサンプリングし、アナログ信号に対応するデジタル信号を出力し、デジタル信号とクロック信号の位相誤差を演算し、位相誤差より、デジタル信号とクロック信号との周波数誤差を演算し、位相誤差と周波数誤差の和に対応して、クロック信号を発生する。

【0033】

【発明の実施の形態】図1は、本発明の変換装置を応用した再生装置の一構成例を示している。

【0034】読み取り装置1は、コンパクトディスクなどの光ディスク201にレーザ光を照射し、光ディスク201で反射したレーザ光（戻り光）を受光し、受光した戻り光の光量に対応する電気信号（再生信号）をA/Dコンバータ2（サンプリング手段）に出力するようになされている。

【0035】A/Dコンバータ2は、読み取り装置1より供給された再生信号を、PLL回路4より供給されたサンプリングクロック信号（PLLクロック信号）に同期してサンプリングし、その値（サンプル値）（所定のビット数のデジタル値）を2値化回路3（処理手段）およびPLL回路4の位相比較器21（第1の演算手段）に出力するようになされている。

40 【0036】2値化回路3は、PLLクロック信号に同

期して動作し、A/Dコンバータ2より供給されたサンプル値を2値化して後段の回路(図示せず)に出力するようになされている。

【0037】PLL回路4の位相比較器21は、PLLクロック信号で動作し、A/Dコンバータ2より供給されたサンプル値の、正から負、あるいは、負から正への変化(ゼロクロス)を検出し、ゼロクロスに対応する位相誤差検出信号を周波数比較器23(第2の演算手段)に出力するとともに、そのゼロクロスのタイミングに応じて位相誤差信号を算出し、その位相誤差信号を加算器22および周波数比較器23に出力するようになされている。

【0038】周波数比較器23は、位相比較器21より供給された位相誤差信号の値の変化より周波数誤差を検出し、周波数誤差に対応する信号をローパスフィルタ24に出力するようになされている。

【0039】ローパスフィルタ24は、周波数比較器23より供給された信号の高周波成分を抑制した後、スイッチ25に出力するようになされている。

【0040】スイッチ25は、例えば位相比較器21の出力の絶対値が、所定の時間だけ、所定の値より大きい場合、PLLが同期引き込み状態にあると判断し、ローパスフィルタ24より供給された信号を加算器22に出力し、そうでない場合においては、PLLが同期ロック状態にあると判断し、オフ状態となり、ローパスフィルタ24より供給された信号を加算器22に出力しないようになされている。

【0041】ループフィルタ26は、加算器22より供給された信号の高周波成分を抑制した後、VCO27(発生手段)に出力するようになされている。

【0042】VCO27は、ループフィルタ26より供給された信号の電圧に対応する周波数のPLLクロック信号を発振し、そのPLLクロック信号をA/Dコンバータ2、位相比較器21などに供給するようになされている。

【0043】図2は、位相比較器21の構成例を示している。遅延素子41は、A/Dコンバータ2より供給されたサンプル値 L_i を、PLLクロック信号の1クロックの期間だけ保持し、次のクロックで位相誤差算出回路42、ゼロクロス検出回路43、および、判定回路44に出力するようになされている。即ち、サンプル値 L_i が供給されたクロックにおいて、遅延素子41は、1クロック前に供給されたサンプル値 L_{i-1} を位相誤差算出回路42、ゼロクロス検出回路43、および、判定回路44に出力する。

【0044】ゼロクロス検出回路43は、遅延素子41より供給された1クロック前のサンプル値 L_{i-1} と、A/Dコンバータ2より供給されたサンプル値 L_i の符号が異なる場合、再生信号にゼロクロスが発生したか否かを判断し、ゼロクロスの発生に対応した位相誤差検出信

号を位相誤差検出回路42および周波数比較器23に出力するようになされている。

【0045】判定回路44は、遅延素子41より供給された1クロック前のサンプル値 L_{i-1} と、A/Dコンバータ2より供給されたサンプル値 L_i を比較し、再生信号に発生したゼロクロスが、立ち下がりのゼロクロス、立ち上がりのゼロクロスのいずれであるかを判断し、ゼロクロスの方向に対応した信号を位相誤差算出回路42に出力するようになされている。

【0046】即ち、判定回路44は、 L_{i-1} が正であり、かつ、 L_i が負であるか否かを判断し、 L_{i-1} が正であり、かつ、 L_i が負であると判断した場合、再生信号に立ち下がりのゼロクロスが発生したと判断し、それに対応する信号を位相誤差算出回路42に供給し、 L_{i-1} が負であり、かつ、 L_i が正であるか否かを判断し、 L_{i-1} が負であり、かつ、 L_i が正である場合、再生信号に立ち上がりのゼロクロスが発生したと判断し、それに対応する信号を位相誤差算出回路42に供給するようになされている。

【0047】位相誤差算出回路42は、ゼロクロス検出回路43より供給される信号および判定回路44より供給される信号に応じて、遅延素子41より供給された1クロック前のサンプル値 L_{i-1} と、A/Dコンバータ2より供給されたサンプル値 L_i から位相誤差信号を算出し、その位相誤差信号を加算器22および周波数比較器23に出力するようになされている。

【0048】即ち、位相誤差算出回路42は、立ち上がりのゼロクロスに対応する信号が供給された場合、補間値 L_{i-1} と補間値 L_i の和($L_{i-1}+L_i$)を計算し、その和を位相誤差信号として、加算器22および周波数比較器23に出力し、立ち下がりのゼロクロスに対応する信号が供給された場合、補間値 L_{i-1} と補間値 L_i の和に-1を乗じた値($-(L_{i-1}+L_i)$)を計算し、その値を位相誤差信号として、加算器22および周波数比較器23に出力するようになされている。

【0049】図3は、周波数比較器23の構成例を示している。

【0050】レジスタ61は、位相比較器21より供給される位相誤差検出信号を、イネーブル信号として供給され、その信号が供給されたとき、位相比較器21より供給された位相誤差信号の値 e_{i-1} を保持し、次に、その信号が供給されたとき、その値 e_{i-1} を比較器62に出力するようになされている。

【0051】比較器62は、レジスタ61より供給された位相誤差信号の1つ前の値 e_{i-1} と、位相比較器21より供給された位相誤差信号の値 e_i を比較し、 e_i が e_{i-1} より大きい場合、値1をスイッチ63、64およびAND回路65、69に出力し、 e_i が e_{i-1} 以下である場合、値0を出力するようになされている。

【0052】スイッチ63は、比較器62より供給され

た値が1である場合、位相誤差信号の値 e_i を減算器66に出力し、比較器62より供給された値が0である場合、レジスタ61より供給された位相誤差信号の1つ前の値 e_{i-1} を減算器66に出力するようになされている。

【0053】スイッチ64は、比較器62より供給された値が1である場合、位相誤差信号の値 e_i を減算器66に出力し、比較器62より供給された値が0である場合、レジスタ61より供給された位相誤差信号の1つ前の値 e_{i-1} を減算器66に出力するようになされている。

【0054】減算器66は、スイッチ63より供給された値から、スイッチ64より供給された値を減算した値（即ち、 $|e_i - e_{i-1}|$ ）を比較器68に出力するようになされている。

【0055】定数発生回路67は、 $|e_i - e_{i-1}|$ と比較するための所定の閾値を発生し、その値を比較器68に出力するようになされている。

【0056】比較器68は、減算器66より供給された値 $|e_i - e_{i-1}|$ と、定数発生回路67より供給された閾値を比較し、 $|e_i - e_{i-1}|$ が閾値より大きい場合、値1をAND回路65、69に出力し、 $|e_i - e_{i-1}|$ が閾値以下である場合、値0を出力するようになされている。

【0057】AND回路65は、比較器62より供給された値、比較器68より供給された値、および、位相比較器21より供給された位相誤差検出信号の論理積を計算し、その計算結果を差動増幅器70に出力するようになされている。

【0058】AND回路69は、比較器62より供給された値を反転した値、比較器68より供給された値、および、位相比較器21より供給された位相誤差検出信号の論理積を計算し、その計算結果を差動増幅器70に出力するようになされている。

【0059】差動増幅器70は、AND回路65より供給された値とAND回路69より供給された値の差を増幅し、増幅した信号をローパスフィルタ24に出力するようになされている。

【0060】次に、図1の再生装置の動作について説明する。

【0061】最初に、A/Dコンバータ2は、PLL回路4のVCO27が発振したPLLクロック信号に従って、読み取り装置1より供給された再生信号をサンプリングし、そのサンプル値を2値化回路3およびPLL回路4の位相比較器21に出力する。

【0062】位相比較器21において、ゼロクロス検出回路43は、1システムクロック前の再生信号の補間値 L_{i-1} と、補間値 L_i を受け取り、 L_{i-1} が負であり、かつ、 L_i が正である、あるいは、 L_{i-1} が正であり、かつ、 L_i が負であるか否かを判断し、 L_{i-1} が負であり、

かつ、 L_i が正である、あるいは、 L_{i-1} が正であり、かつ、 L_i が負である場合、ゼロクロスが発生したと判断し、それに対応する信号を位相誤差算出回路42に出力する。

【0063】そのとき、判定回路44は、1システムクロック前の再生信号の補間値 L_{i-1} が負であり、かつ、補間値 L_i が正であるか否かを判断し、 L_{i-1} が負であり、かつ、 L_i が正である場合、補間値に立ち上がりのゼロクロスが発生したと判断し、それに対応する信号を位相誤差算出回路42に供給する。

【0064】立ち上がりのゼロクロスに対応する信号が供給されると、位相誤差算出回路42は、1システムクロック前の補間値 L_{i-1} と補間値 L_i の和（ $L_{i-1} + L_i$ ）を計算し、その和を位相誤差信号として、加算器22と周波数比較器23に出力する。

【0065】図4（A）は、立ち上がりのゼロクロスが検出されたときの補間値 L_{i-1} 、 L_i の値と位相誤差信号 $\Delta\theta$ の値の関係を示している。補間値 L_i の絶対値が、補間値 L_{i-1} の絶対値より大きい場合、 $\Delta\theta$ の値は、正となる。これに対して、補間値 L_i の絶対値が、補間値 L_{i-1} の絶対値より小さい場合、 $\Delta\theta$ の値は、負となる。

【0066】一方、判定回路44は、 L_{i-1} が正であり、かつ、 L_i が負であるか否かを判断し、 L_{i-1} が正であり、かつ、 L_i が負であると判断した場合、補間値に立ち下りのゼロクロスが発生したと判断し、それに対応する信号を位相誤差算出回路42に供給する。

【0067】立ち下りのゼロクロスに対応する信号が供給されると、位相誤差算出回路42は、1システムクロック前の補間値 L_{i-1} と補間値 L_i の和に-1を乗じた値（ $-(L_{i-1} + L_i)$ ）を計算し、その値を位相誤差信号として、加算器22と周波数比較器23に出力する。

【0068】図4（B）は、立ち下りのゼロクロスが検出されたときの補間値 L_{i-1} 、 L_i の値と位相誤差信号 $\Delta\theta$ の値の関係を示している。補間値 L_i の絶対値が、補間値 L_{i-1} の絶対値より大きい場合、 $\Delta\theta$ の値は、正となる。一方、補間値 L_i の絶対値が、補間値 L_{i-1} の絶対値より小さい場合、 $\Delta\theta$ の値は、負となる。

【0069】なお、補間値 L_{i-1} および補間値 L_i が同符号である場合、ゼロクロスは発生していないので、ゼロクロス検出回路43は、位相誤差算出回路42に、特に何も出力しない。そして、位相誤差算出回路42は、ゼロクロス検出回路43によりゼロクロスに対応する信号が供給されなかった場合、位相誤差信号として、ゼロを出力する。

【0070】図4に示すように、立ち上がりのゼロクロスおよび立ち下りのゼロクロスのいずれの場合においても、時刻 t_{i-1} の補間値 L_{i-1} と時刻 t_i の補間値 L_i で線形補間した値 L が0になる時刻が、時刻 t_{i-1} と時刻 t_i の中点より小さい場合、位相比較器21は、加算器

22と周波数比較器23に正の位相誤差信号を出力し、値1が0になる時刻が、時刻 t_{i-1} と時刻 t_i の中点より大きい場合、負の位相誤差信号を出力する。

【0071】次に、周波数比較器23において、比較器62は、レジスタ61より供給された位相誤差信号の1つ前の値 e_{i-1} と、位相比較器21より供給された位相誤差信号の値 e_i を比較し、 e_i が e_{i-1} より大きい場合、値1をスイッチ63、64およびAND回路65、69に出力し、 e_i が e_{i-1} 以下である場合、値0を出力する。

【0072】スイッチ63は、比較器62より供給された値が1である場合、位相誤差信号の値 e_i を減算器66に出力し、比較器62より供給された値が0である場合、レジスタ61より供給された位相誤差信号の1つ前の値 e_{i-1} を減算器66に出力し、スイッチ64は、比較器62より供給された値が1である場合、レジスタ61より供給された位相誤差信号の1つ前の値 e_{i-1} を減算器66に出力し、比較器62より供給された値が0である場合、位相誤差信号の値 e_i を減算器66に出力する。

【0073】減算器66は、スイッチ63より供給された値から、スイッチ64より供給された値を減算した値（即ち、 $|e_i - e_{i-1}|$ ）を比較器68に出力する。

【0074】比較器68は、減算器66より供給された値 $|e_i - e_{i-1}|$ と、定数発生回路67より供給された閾値を比較し、 $|e_i - e_{i-1}|$ が閾値より大きい場合、値1をAND回路65、69に出力し、 $|e_i - e_{i-1}|$ が閾値以下である場合、値0を出力する。

【0075】AND回路65は、比較器62より供給された値、比較器68より供給された値、および、位相比較器21より供給された位相誤差検出信号の論理積を計算し、その計算結果を差動増幅器70に出力する。

【0076】即ち、AND回路65は、 $e_i > e_{i-1}$ 、かつ、位相誤差の変化分 $|e_i - e_{i-1}|$ が閾値より大きい場合、位相誤差検出信号に同期して、値1を出力し、それ以外の場合、値0を出力する。

【0077】図5に示すようにPLLクロック信号の周波数が再生信号のチャネルクロック（再生信号のゼロクロスに同期したクロック）の周波数より低い場合、PLLクロック信号の位相は、チャネルクロックの位相に対して遅れていくので、位相誤差は負の傾きを有する。

【0078】この場合、位相比較器21より出力される位相誤差信号は、図5に示す位相誤差の大きさに対応し、かつ、図6に示すように、PLLクロック信号に同期して離散的に出力される。

【0079】従って、傾きが負である位相誤差が180度を通過した場合、 $e_i > e_{i-1}$ であり、かつ、位相誤差の変化分 $|e_i - e_{i-1}|$ が閾値より大きくなるので、PLLクロック信号の周波数が、チャネルクロックの周波数より低いことが判り、それに対応する信号（値1）

がAND回路65より出力される。また、PLLクロック信号とチャネルクロックの周波数の差がより大きい場合、位相誤差が180度を通過する回数が増えるので、AND回路65は、より多くの値1の信号を出力する。

【0080】なお、本実施の形態のように、自己同期により、チャネルクロックに対応するクロック信号を生成する場合、PLLにおいてクロックスキューが生じないように、再生される信号の最大反転時間が大きくない値に予め設定されているので、位相誤差信号の値 e_i は、位相誤差の1周期の間に、頻繁に演算される。従って、位相誤差が180度を通過したときの位相比較器21の出力の変化分 $|e_i - e_{i-1}|$ は、位相誤差が180度を通過しないときのものより大きくなるので、上述の閾値は、両者を判別することできるように設定される。

【0081】AND回路69は、比較器62より供給された値を反転した値、比較器68より供給された値、および、位相比較器21より供給された位相誤差検出信号の論理積を計算し、その計算結果を差動増幅器70に出力する。

【0082】即ち、AND回路69は、 $e_i \leq e_{i-1}$ であり、かつ、位相誤差の変化分 $|e_i - e_{i-1}|$ が閾値より大きい場合、位相誤差検出信号に同期して、値1を出力し、それ以外の場合、値0を出力する。

【0083】図7に示すようにPLLクロック信号の周波数が再生信号のチャネルクロック（再生信号のゼロクロスに同期したクロック）の周波数より高い場合、PLLクロック信号の位相は、チャネルクロックの位相に対して進んでいくので、位相誤差は正の傾きを有する。

【0084】この場合、位相比較器21より出力される位相誤差信号は、図7に示す位相誤差の大きさに対応し、かつ、図8に示すように、PLLクロック信号に同期して離散的に出力される。

【0085】従って、傾きが正である位相誤差が180度を通過した場合、 $e_i < e_{i-1}$ であり、かつ、位相誤差の変化分 $|e_i - e_{i-1}|$ が閾値より大きくなるので、PLLクロック信号の周波数が、チャネルクロックの周波数より高いことが判り、それに対応する信号（値1）がAND回路69より出力される。また、PLLクロック信号とチャネルクロックの周波数の差がより大きい場合、位相誤差が180度を通過する回数が増えるので、AND回路69は、より多くの値1の信号を出力する。

【0086】差動増幅器70は、AND回路65より供給された値から、AND回路69より供給された値を減算した値を増幅し、増幅した信号をローパスフィルタ24に出力する。

【0087】即ち、差動増幅器70は、PLLクロック信号の周波数が、チャネルクロックの周波数より低い場合、周波数誤差信号として、周波数誤差の大きさに対応した大きさの正の信号をローパスフィルタ24を介して出力し、PLLクロック信号の周波数が、チャネルクロ

10

20

30

40

50

ックの周波数より高い場合、周波数誤差信号として、周波数誤差の大きさに対応した大きさの負の信号をローパスフィルタ24を介して出力する。

【0088】次に、スイッチ25は、同期引き込み時だけオン状態となり、周波数誤差信号を加算器22に供給し、同期ロック時においては、ジッタ特性を良好にするためにオフ状態となる。

【0089】加算器22は、同期引き込み時だけ供給される周波数誤差信号と、位相誤差信号を加算し、加算により得られた信号をループフィルタ26に出力する。

【0090】ループフィルタ26は、その信号の高周波成分を抑制し、VCO27に出力する。このようにして、ループフィルタ26は、PLLにおいて高域で位相が大きく遅れて正帰還がかからないようにするとともに、再生信号に含まれている符号間干渉の成分や雑音を低減させている。

【0091】そして、VCO27は、ループフィルタ26より供給された信号の電圧に対応する周波数のクロック信号を発生し、PLLクロック信号として、位相比較器21、A/Dコンバータ2などに出力する。

【0092】以上のようにして、周波数誤差を算出し、位相誤差に加算することにより、デジタルPLLにおいて、キャプチャレンジを拡大し、引き込み時間を短縮することができる。

【0093】なお、上記のPLL回路4は、デジタル回路で構成されているが、D/Aコンバータを利用することにより、ローパスフィルタ24、ループフィルタ26、および、VCO27をアナログ回路とすることもできる。

【0094】また、A/Dコンバータ2と位相比較器21との間に、デジタル等価器などの信号処理部を設けてもよい。

【0095】なお、上記実施の形態においては、読み取り装置1が出力する再生信号をサンプリングしているが、例えば、所定のデジタルデータ通信の受信器より出力される再生信号をサンプリングするようにしてもよい。

【0096】

【発明の効果】以上のごとく、請求項1に記載の変換装置および請求項5に記載の変換方法によれば、クロック信号に同期して、所定のアナログ信号をサンプリングし、そのアナログ信号に対応するデジタル信号とクロック信号の位相誤差を演算するとともに、デジタル信号とクロック信号との周波数誤差を演算し、位相誤差と周波数誤差の和に対応して、クロック信号を発生するとともに、そのデジタル信号を処理して、デジタルデータを出力するようにしたので、キャプチャレンジが広く、か

つ、引き込み時間が短いデジタルPLL回路を利用して、アナログ信号からデジタルデータへの変換を行うことができる。

【0097】請求項6に記載のPLL演算装置および請求項9に記載のPLL演算方法によれば、クロック信号に同期して、所定のアナログ信号をサンプリングし、そのアナログ信号に対応するデジタル信号とクロック信号の位相誤差を演算するとともに、デジタル信号とクロック信号との周波数誤差を演算し、位相誤差と周波数誤差の和に対応して、クロック信号を発生するようにしたので、周波数誤差を利用したキャプチャレンジが広く、かつ、引き込み時間が短いデジタルPLL回路を実現することができる。

【図面の簡単な説明】

【図1】本発明の変換装置を応用した再生装置の一構成例を示すブロック図である。

【図2】図1の位相比較器の構成例を示すブロック図である。

【図3】図1の周波数比較器の構成例を示すブロック図である。

【図4】再生信号のサンプル値 L_{i-1} 、 L_i と位相誤差 $\Delta\theta$ の関係を例を示す図である。

【図5】再生信号とPLLクロック信号の位相誤差の一例を示す図である。

【図6】再生信号とPLLクロック信号の周波数誤差の検出の一例を示す図である。

【図7】再生信号とPLLクロック信号の位相誤差の他の例を示す図である。

【図8】再生信号とPLLクロック信号の周波数誤差の検出の他の例を示す図である。

【図9】アナログ方式のPLL回路を有する再生装置の一構成例を示すブロック図である。

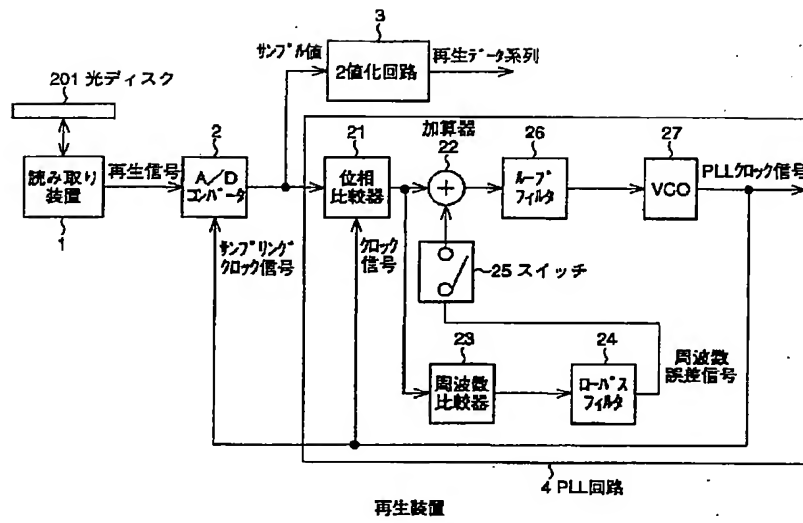
【図10】従来のデジタルPLL回路の一構成例を示すブロック図である。

【図11】従来の方法により算出される補間値の一例を示す図である。

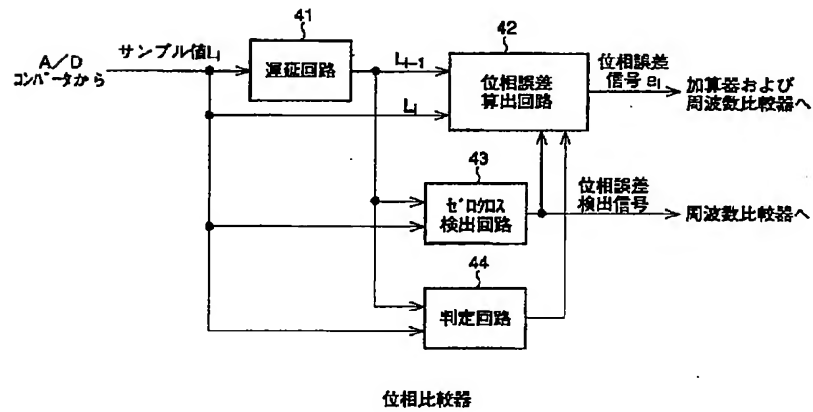
【符号の説明】

1 読み取り装置、 2 A/Dコンバータ、 3 2値化回路、 4 PLL回路、 21 位相比較器、 22 加算器、 23 周波数比較器、 24 ローパスフィルタ、 25 スイッチ、 26 ループフィルタ、 27 電圧制御発振器(VCO)、 41 遅延素子、 42 位相誤差算出回路、 43 ゼロクロス検出回路、 44 判定回路、 61 レジスタ、 62 比較器、 63、64 スイッチ、 65 AND回路、 66 減算器、 67 定数発生回路、 68 比較器、 69 AND回路、 70 差動増幅器

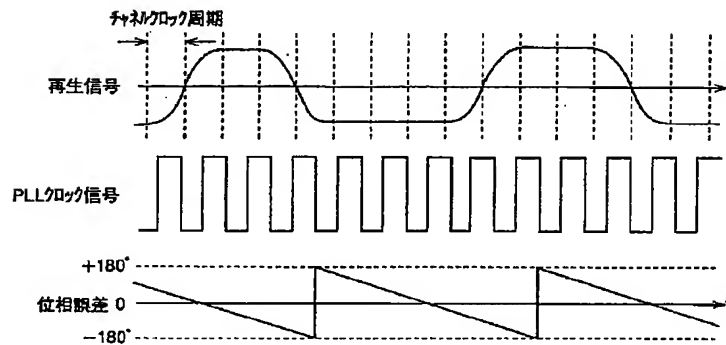
【図1】



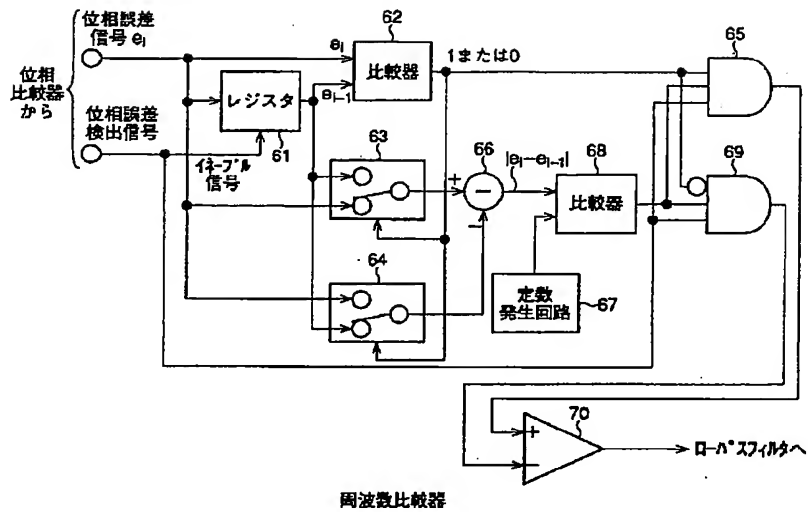
【図2】



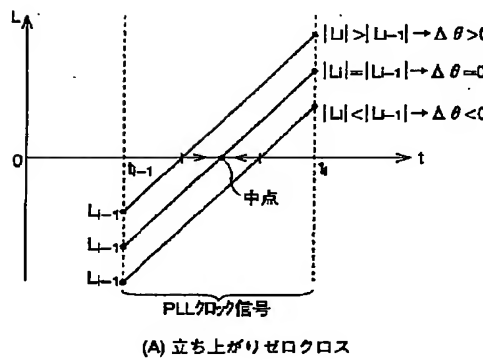
【図5】



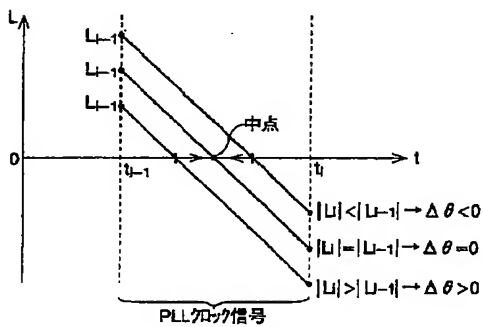
【図3】



【図4】

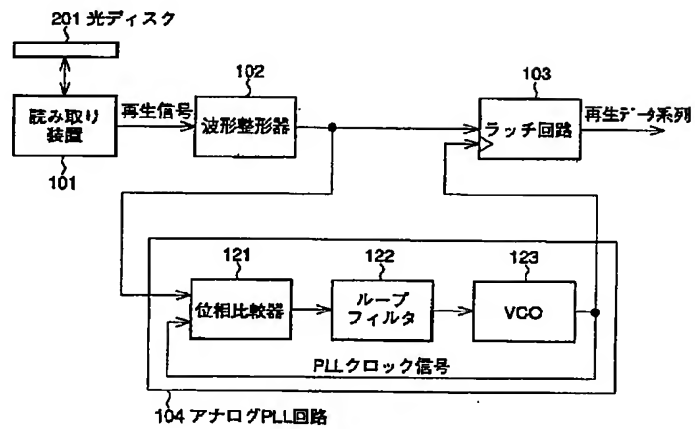


(A) 立ち上がりゼロクロス

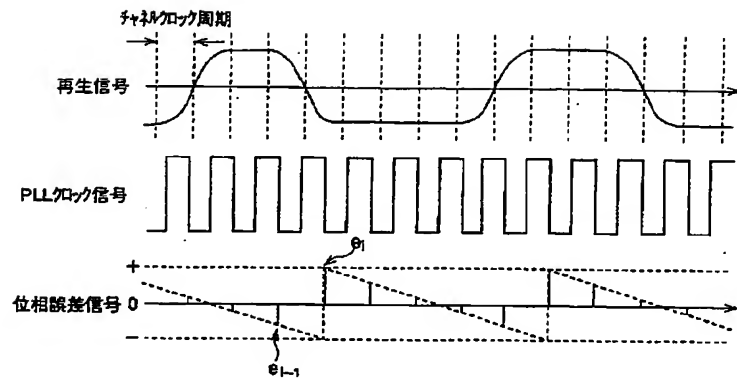


(B) 立ち下がりゼロクロス

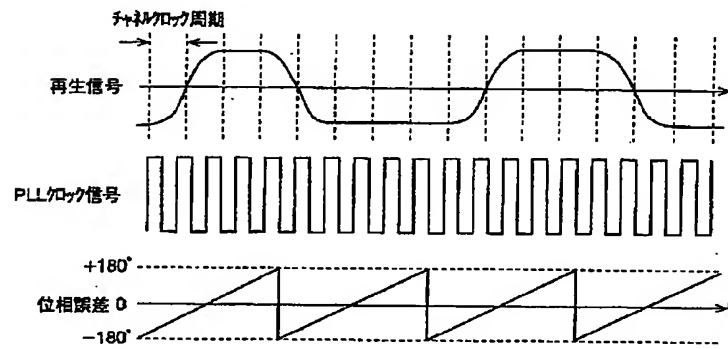
【図9】



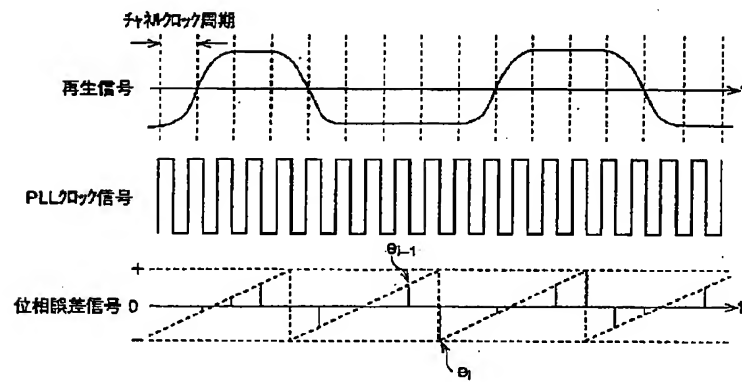
【図6】



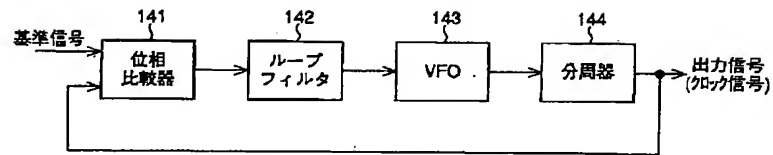
【図7】



【図8】



【図10】



【図11】

